

Abstract

An object of the present invention is to provide a modulation-precision enhanced broadband modulation PLL, a timing error correcting system of the broadband modulation PLL, a timing error correcting method and an adjusting method of a radio communication device having a broadband modulation PLL.

There is provided a PLL portion containing a voltage controlled oscillator (101), a frequency divider (105), a phase comparator (104) and a loop filter (103). A frequency-dividing ratio of the frequency divider (105) is controlled to apply modulation, and also an input voltage of the voltage controlled oscillator (101) is controlled to apply modulation. One of phase modulation data for controlling the frequency dividing ratio and phase modulation data for input voltage of the voltage controlled oscillator (101) is inverted in phase by using an inverter (113), and the delay control circuit (110) detects a timing error on the basis of a signal (133) achieved by adding the output signals (131) and (132) of the filter (106) and the loop filter (103), and the timing is controlled by the delay circuits (111) and (112) to correct the timing error.

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 國際公開日
2005 年 3 月 17 日 (17.03.2005)

PCT

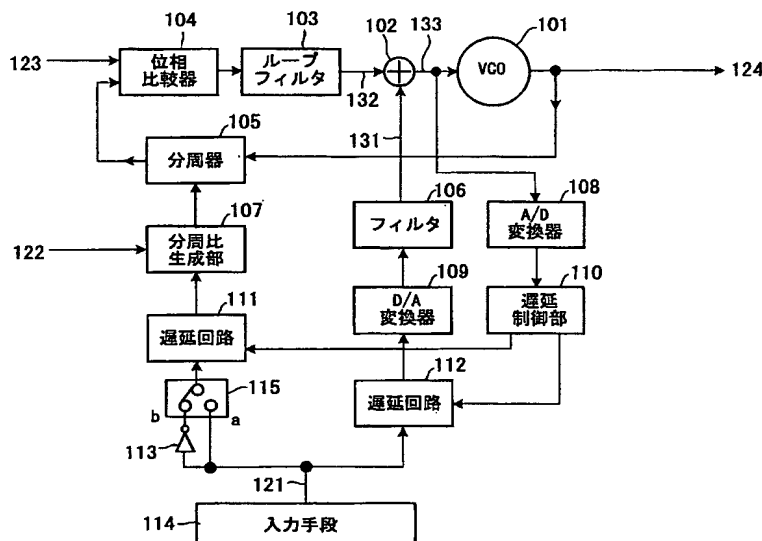
(10) 国際公開番号
WO 2005/025052 A1

- | | | | |
|-----------------------------|---|---|--|
| (51) 国際特許分類 ⁷ : | H03C 3/00, H03L 7/18 | (72) 発明者; および | |
| (21) 国際出願番号: | PCT/JP2004/011506 | (75) 発明者/出願人 (米国についてのみ): | 吉川 博幸 (YOSHIKAWA, Hiroyuki). 平野 俊介 (HIRANO, Syunsuke). |
| (22) 国際出願日: | 2004 年 8 月 4 日 (04.08.2004) | (74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒1076013 東京都港区赤坂一丁目 1 2 番 3 2 号アーク | |
| (25) 国際出願の言語: | 日本語 | 森ビル 1 3 階 栄光特許事務所 Tokyo (JP). | |
| (26) 国際公開の言語: | 日本語 | | |
| (30) 優先権データ: | | (81) 指定国 (表示のない限り、全ての種類の国内保護が | |
| 特願2003-298856 | 2003 年 8 月 22 日 (22.08.2003) JP | 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, | |
| (71) 出願人 (米国を除く全ての指定国について): | 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP). | BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, | |
| | | DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, | |
| | | ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, | |
| | | LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NA, NI, | |
| | | NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, | |

[續葉有]

(54) Title: WIDE-BAND MODULATION PLL, TIMING-ERROR CORRECTION SYSTEM OF WIDE-BAND MODULATION PLL, MODULATION TIMING ERROR CORRECTION METHOD AND METHOD FOR ADJUSTING RADIO COMMUNICATION APPARATUS HAVING WIDE-BAND MODULATION PLL

(54) 発明の名称: 広帯域変調PLL、広帯域変調PLLのタイミング誤差補正システム、変調タイミング誤差補正方法および広帯域変調PLLを備えた無線通信装置の調整方法



- 104.. PHASE COMPARATOR
103.. LOOP FILTER
105.. FREQUENCY DIVIDER
107.. FREQUENCY DIVISION RATIO GENERATING PART
106. FILTER
108.. A/D CONVERTER
111.. DELAY CIRCUIT
109.. D/A CONVERTER
110.. DELAY CONTROL PART
112. DELAY CIRCUIT
114.. INPUT MEANS

(57) Abstract: A wide-band modulation PLL, a timing error correction system of the wide-band modulation PLL, a timing error correction method and a method for adjusting a radio communication apparatus having the wide-band modulation PLL exhibiting an improved modulation accuracy. There is provided a PLL portion including a voltage-controlled oscillator (101), a frequency divider (105), a phase comparator (104) and a loop filter (103). Both the frequency division ratio of the frequency divider (105) and the input voltage of the voltage-controlled oscillator (101) are controlled, based on a phase modulation data (121), for adding modulation. An inverter (113) is used to reverse either the phase of the phase modulation data for controlling the frequency division ratio or that of the phase modulation data for controlling the input voltage of the voltage-controlled oscillator (101). A delay control circuit (110) determines a timing error based on a signal (133) obtained by adding together output signals (131,132) of a filter (106) and of a loop filter (103), and uses delay circuits (111,112) to control the timing, thereby correcting the timing error.

[統葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明の課題は、変調精度が向上した広帯域変調PLL、広帯域変調PLLのタイミング誤差補正システム、タイミング誤差補正方法および広帯域変調PLLを備えた無線通信装置の調整方法を提供することである。

電圧制御発振器(101)と、分周器(105)と、位相比較器(104)と、ループフィルタ(103)とを含むPLL部を備え、位相変調データ(121)に基づき、分周器(105)の分周比を制御して変調を加えるとともに電圧制御発振器(101)の入力電圧を制御して変調を加える。分周比制御用の位相変調データと、電圧制御発振器(101)の入力電圧用の位相変調データは、一方の位相変調データはインバータ(113)を用いて逆位相となり、遅延制御回路(110)はフィルタ(106)およびループフィルタ(103)の出力信号(131)および(132)を加算した信号(133)に基づいてタイミング誤差を検出し、遅延回路(111)および(112)でタイミングを制御してタイミング誤差を補正する。